

539,426

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年3月3日 (03.03.2005)

PCT

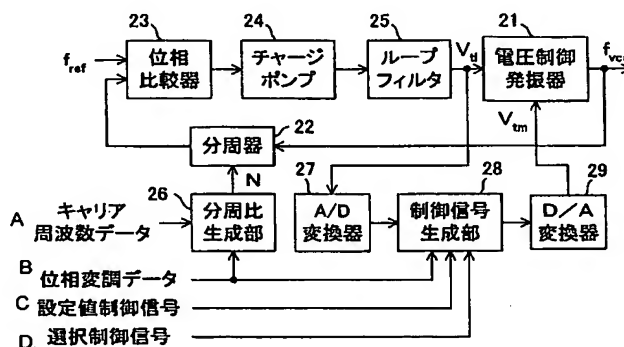
(10) 国際公開番号
WO 2005/020429 A1

- (51) 国際特許分類: H03C 3/00, H03L 7/18 (74) 代理人: 小栗 昌平, 外(OGURI, Shohei et al.); 〒1076013 東京都港区赤坂一丁目12番32号 アーク森ビル13階 栄光特許事務所 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/010776
- (22) 国際出願日: 2004年7月22日 (22.07.2004) (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-298858 2003年8月22日 (22.08.2003) JP (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
- (71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 越智 健敏 (OCHI, Taketoshi). 平野 俊介 (HIRANO, Shunsuke).

[続葉有]

(54) Title: BROADBAND MODULATION PLL, AND MODULATION FACTOR ADJUSTING METHOD THEREFOR

(54) 発明の名称: 広帯域変調PLLおよびその変調度調整方法



23... PHASE COMPARATOR
24... CHARGE PUMP
25... LOOP FILTER
21... VOLTAGE CONTROLLED OSCILLATOR
22... FREQUENCY DIVIDER
A... CARRIER FREQUENCY DATA
26... FREQUENCY DIVISION RATIO PRODUCING PART

27... A/D CONVERTER
28... CONTROL SIGNAL PRODUCING PART
29... D/A CONVERTER
B... PHASE MODULATION DATA
C... SET VALUE CONTROL SIGNAL
D... SELECTION CONTROL SIGNAL

(57) Abstract: A broadband modulation PLL having an excellent modulation accuracy is provided at a low cost. A PLL includes a VCO (21), a frequency divider (22), a phase comparator (23), a charge pump (24) and a loop filter (25). The frequency division ratio of the frequency divider (22) and the VCO (21) are controlled for adjustment. The VCO (21) has two control terminals for PLL and for modulation. A control signal producing part (28) produces, based on an input voltage (V_{in}) to be applied to the PLL control terminal and a phase modulation data, a control voltage (V_{fm}) to be applied to the VCO (21). During a modulation factor adjustment, the control voltage (V_{fm}) to be applied to the modulation control terminal of the VCO (21) is controlled, and the input voltage (V_{in}) is measured to calculate the frequency modulation sensitivity of the VCO (21) to the control voltage (V_{fm}). Then, the modulation factor of the phase modulation data is adjusted based on the modulation sensitivity as calculated.

[続葉有]

WO 2005/020429 A1



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明の課題は、良好な変調精度を有する広帯域変調PLLを、低コストで提供することである。VCO (21) と、分周器 (22) と、位相比較器 (23) と、チャージポンプ (24) と、ループフィルタ (25) とを有するPLLに対して、分周器 (22) の分周比とVCO (21) を制御して変調を行う。VCO (21) は、PLL用と変調用の2つの制御端子を有し、制御信号生成部 (28) は、PLL用制御端子への入力電圧 V_{t1} と位相変調データとに基づいてVCO (21) の制御電圧 V_{tm} を生成する。変調度調整時には、VCO (21) の変調用制御端子への制御電圧 V_{tm} を制御するとともに、入力電圧 V_{t1} を測定して、 V_{tm} に対するVCO (21) の周波数の変調感度を算出し、求められた変調感度に基づいて、位相変調データの変調度を調整する。

明 細 書

広帯域変調PLLおよびその変調度調整方法

5 <技術分野>

本発明は、PLLの帯域幅よりも広い帯域幅を持つ変調信号で変調されたRF (Radio Frequency) 変調信号を生成し出力可能な広帯域変調PLLおよびその変調度調整方法に関するものである。

10 <背景技術>

一般にPLL(Phase Locked Loop)変調回路には、低コスト、低消費電力、良好なノイズ特性と変調精度が求められる。PLLで変調をかける場合、変調精度を良くするためには変調信号の周波数帯域(変調帯域)幅よりもPLLの周波数帯域(PLL帯域)幅を広くすることが望ましい。

15 しかしながら、PLL帯域幅を広くすると、ノイズ特性の劣化を招く。そこで、PLL帯域幅を変調帯域幅よりも狭く設定し、PLL帯域内の変調とPLL帯域外の変調を異なる2箇所でかける2点変調という技術が考案された(例えば、特許文献1参照)。

図10は、従来の広帯域変調PLLを示す概略構成図である。図10に示すように、従来の広帯域変調PLLは、制御電圧端子(V_t)の電圧に応じて発振周波数が変化する電圧制御発振器(以下、VCO)1と、VCO1から出力されるRF変調信号の周波数を分周する分周器2と、分周器2の出力信号と基準信号の位相を比較し位相差に応じた信号を出力する位相比較器3と、位相比較器の出力信号を平均化するループフィルタ4とを含むPLLに、変調データに基づいて変調信号を出力する変調感度テーブル7と、制御部6からのゲイン制御信号に応じてゲインを調整しつつ変調感度テーブル7の出力信号をアナログ電圧に変換するD/A変換器10と、変調感度テーブル7からの出力信号にチャネル選択情報を加算した信号をデルタシグマ変調をかけ分周比として分周器2へ出力するデルタシグマ変調器9と、V_tの電圧値をデジタル値に変換して制御部6に出力するA/D変換器11とを備えている。

20

25

30

図 1 1 は、広帯域変調 PLL の動作説明のための周波数特性を示す図である。
ここで、PLL の伝達関数を $H(s)$ (但し、 $s = j\omega$) とする。 $H(s)$ は図
1 1 に示すような低域通過特性をもつ。分周器 2 に設定する分周比に加えられた
変調信号には、伝達関数 $H(s)$ の低域通過フィルタがかけられる。一方、VCO
5 O1 の制御電圧端子 (V_t) に加えられた変調信号には、図 1 1 に示すような伝
達関数 $1 - H(s)$ の高域通過フィルタがかけられる。

これら 2 つの変調成分は VCO1 の制御電圧端子で加算されるため、変調信号
には等価的に図 1 1 の破線で示した特性、すなわち 1、がかけられて VCO1 に
与えられることになる。その結果、VCO1 からは、PLL 帯域外まで及ぶ、広
10 帯域な RF 変調信号が出力することが可能となる。

ところで、VCO1 の制御電圧端子へ入力する変調信号の振幅は、VCO1 から
出力される RF 変調信号の周波数偏移に変換される。その変換利得は変調感度
と呼ばれ、一般的にその単位は $[Hz/V]$ である。

D/A 変換器 10 から出力される信号の振幅は VCO1 の変調感度と整合が取
15 れている必要がある。それは、これらの整合が取れていないと、図 1 2 に示すよ
うに伝達関数 $1 - H(s)$ にズレ量(ここでは a 倍)が掛けられることになり、破
線で示す $H(s)$ との合成特性は周波数に対してフラットでなくなってしまう。
これは変調精度を劣化させる要因となる。

図 1 3 は一般的な VCO の制御電圧に対する出力信号周波数の変化を表す特性
20 の一例を示す図である。変調感度は、この電圧一周波数特性のカーブの傾きで表
される。図 1 3 に示すように、VCO の発振周波数によって変調感度が異なるの
で、異なる VCO の発振周波数で同じ周波数偏移変調信号を得るためには、VCO
の制御電圧端子に入力する変調信号の振幅は VCO の発振周波数に応じて変化
させる必要がある。

25 図 1 4 は一般的な VCO の発振周波数に対する変調感度の特性を示した図であ
る。同図より、発振周波数によって変調感度が変化することがわかる。

ここで、VCO の発振周波数によって変調感度が異なることに起因して、制御
電圧を変化させる必要がある場合の一例を説明する。VCO1 の周波数 $2 GHz$
における変調感度が $100 MHz/V$ で、変調信号の最大周波数偏移が $5 MHz$
30 であると仮定する。この場合、 V_t には最大振幅 $50 mV$ の信号を入力する必要

がある。ところがVCO1の周波数が2.1GHzの時に変調感度が80MHz/Vになったとする。この場合、Vtには最大振幅62.5mVの信号を入力する必要がある。つまり、VCO1の周波数によってD/A変換器10の出力信号振幅を変化させる必要がでてくる。

- 5 なお、分周器2に設定する分周比に含まれる変調成分に対しての変調感度は基準信号の周波数になり、VCO1の周波数に対して変化しない。たとえば、VCO1の周波数が2GHzで、基準信号の周波数が1MHz、変調信号の最大周波数偏移が5MHzであると仮定した場合を例にとって説明する。この場合、最大
- 10 分周比の変化幅は5となる。したがって、この計算にVCO1の周波数は無関係である。

図10の場合は、周波数に対する変調感度の特性を変調感度テーブル7として持ち、チャンネル周波数が変わった際に制御電圧の変動分を計算することにより変調感度の補正を行い、D/A変換器のゲインを調整している。

- ここで、図15はVCOの原理図の一例である。VCO1は、インダクタLと、
- 15 コンデンサC、制御電圧Vtの電圧値によって容量が変化する可変容量ダイオードCv、能動素子100で構成され、発振周波数fvoは数1で決まる。

<数1>

20
$$f_{vo} = \frac{1}{2\pi\sqrt{L(C+C_v)}}$$

- このようなVCOをLSIに集積化する場合、インダクタL、コンデンサC、可変容量ダイオードCv等の素子の値が製造ばらつきにより変化する。これによりVCOの発振周波数に対する変調感度の特性はそれぞれのLSIで異なるもの
- 25 となる。

しかしながら、上記従来の広帯域変調PLLにあっては、これらの素子の値のばらつきに起因するLSIごとの変調感度の特性に対して変調感度テーブルを準備する必要がある。すなわち、周波数に対する変調感度のテーブルをLSIごと別個に測定し、メモリ等へ書き込み保持する必要がある。

- 30 この変調感度テーブルを準備するためには、使用する全てのチャンネルの周波数

に対する変調感度を測定する必要がある、それにはPLLの周波数切換を測定ポイントの数だけ行うこととなる。したがって、非常に時間がかかり、製造コストを増大させるばかりでなく、メモリ量も多く、LSIのコストも増大させるという事情があった。

- 5 さらに、チャネル周波数が切り替わった際に変調感度の補正を行っているが、その後の環境変動による変調感度変動の補正はできず、変調精度を良好に保つことが困難であるという事情もあった。

(特許文献1) 米国特許6, 211, 747号明細書

10 <発明の開示>

本発明は、従来の問題を解決するためになされたもので、良好な変調精度を有する広帯域変調PLLを、低コストで提供することを目的とする。

本発明の広帯域変調PLLは、

- 15 電圧制御発振器と、前記電圧制御発振器の出力信号を分周する分周器と、前記分周器の出力信号と基準信号との位相差に応じた信号を出力する位相比較器と、前記位相比較器の出力を平均化して前記電圧制御発振器に出力するループフィルタとを含むPLL部と、

入力された変調データに基づき、前記電圧制御発振器に第1の変調信号を入力して変調をかける第1の変調入力部と、

- 20 前記変調データに基づき、前記PLL部の前記電圧制御発振器とは異なる位置に第2の変調信号を入力する第2の変調入力部と、
を備え、

前記電圧制御発振器は、前記第1の変調信号が入力される第1の制御端子と、前記第2の変調信号に基づいた信号が入力される第2の制御端子を有し、

- 25 前記第1の変調入力部は、前記第1の制御端子における第1の変調感度を算出する変調感度算出手段と、前記算出された第1の変調感度に基づいて前記変調データの変調度を調整して前記第1の変調信号を出力する変調度調整手段とを有する。

- 30 この構成により、各チャネル毎のルックアップテーブルが不要なため、良好な変調精度を有する広帯域変調PLLシステムを安価で提供することができる。

また、本発明の広帯域変調PLLは、前記変調感度算出手段は、前記第2の制御端子に入力される信号を測定して、前記第2の制御端子における第2の変調感度を算出するとともに、前記第2の変調感度と前記第1の変調感度との比を示す値を測定して、算出された前記第2の変調感度に基づいて前記第1の変調感度を算出する変調感度算出部を有する。

この構成により、各チャンネル毎のルックアップテーブルが不要なため、良好な変調精度を有する広帯域変調PLLシステムを安価で提供することができる。

さらに、本発明の広帯域変調PLLは、前記第1の変調入力部は、前記電圧制御発振器の前記第2の制御端子に入力される信号をディジタル変換するA/D変換器と、前記変調感度算出手段と、前記変調度調整手段と、前記変調度調整手段の出力をアナログ変換して前記第1の制御端子へ出力するD/A変換器とを有する。

この構成により、各チャンネル毎のルックアップテーブルが不要なため、良好な変調精度を有する広帯域変調PLLシステムを安価で提供することができる。

また、本発明は、前記第1の変調入力部は、前記電圧制御発振器の前記第2の制御端子に入力される信号をディジタル変換するA/D変換器と、前記変調感度算出手段と、前記変調度調整手段とを備え、前記変調度調整手段は前記第1の制御端子へディジタル信号を出力し、

前記電圧制御発振器は、前記第1の制御端子へ入力されるディジタル信号によって周波数が増減するものである。

この構成により、小型かつ安価で、消費電力の小さい広帯域変調PLLシステムを提供することができる。

さらに、本発明の広帯域変調PLLは、前記第2の変調入力部は、キャリア周波数データと前記変調データに基づいて前記分周器の分周比を制御する分周比生成手段を有する。

この構成により、各チャンネル毎のルックアップテーブルが不要なため、良好な変調精度を有する広帯域変調PLLシステムを安価で提供することができる。

また、本発明の広帯域変調PLLは、前記第2の変調入力部は、キャリア周波数データと前記変調データに基づいて変調信号を生成して、前記位相比較器へ出力するダイレクトディジタルシンセサイザを有する。

この構成により、小型かつ安価で、消費電力の小さい広帯域変調PLLシステムを提供することができる。

さらに、本発明の広帯域変調PLLは、前記第1の変調入力部は、前記広帯域変調PLLの起動時および起動後の一定期間毎に前記第1の変調感度を算出し、

5 変調度を調整して前記第1の変調信号を出力するものである。

この構成により、温度変動や電源電圧変動などによる環境変動に対しても常に良好かつ安定な変調精度を提供することができる。

また、本発明は、前記広帯域変調PLLを備えた無線端末装置を提供する。

この構成により、良好な変調精度を安価で提供することができる。

10 本発明の広帯域変調PLLの変調度調整方法は、電圧制御発振器と、前記電圧制御発振器の出力信号を分周する分周器と、前記分周器の出力信号と基準信号との位相差に応じた信号を出力する位相比較器と、前記位相比較器の出力を平均化して前記電圧制御発振器に出力するループフィルタとを含むPLL部を備えた広帯域変調PLLの変調度調整方法であって、

15 前記電圧制御発振器の第1の制御端子に第1の変調信号を入力して変調をかけるステップと、

キャリア周波数データを入力して、前記PLLに基づき、前記PLL部の前記電圧制御発振器とは異なる位置に第2の変調信号を入力するステップと、

20 前記電圧制御発振器の第1の制御端子における第1の変調感度を算出するステップと、

前記算出された第1の変調感度に基づいて前記第1の変調信号の変調度を調整するステップと

を備える。

25 この方法により、変調度の調整に、各チャネル毎のルックアップテーブルが不要なため、良好な変調精度を有する広帯域変調PLLシステムを安価で提供することができる。

また、本発明の変調度調整方法は、

前記第1の変調感度を算出するステップは、

前記第2の変調信号に基づいて前記電圧制御発振器の第1の制御端子とはこと

30 なる第2の制御端子に入力される入力電圧を測定するステップと、

前記第 2 の制御端子における第 2 の変調感度を算出するステップと、

前記第 2 の変調感度と前記第 1 の変調感度との比を示す値を測定し、算出された前記第 2 の変調感度に基づいて前記第 1 の変調感度を算出するステップと、
を備えた。

- 5 この方法により、変調度の調整に、各チャネル毎のロックアップテーブルが不要なため、良好な変調精度を有する広帯域変調 PLL システムを安価で提供することができる。

本発明によれば、良好な変調精度を有する広帯域変調 PLL を、低コストで提供することができる。

10

<図面の簡単な説明>

図 1 は、本発明の第 1 の実施形態を説明するための広帯域変調 PLL を示す概略構成図である。

- 15 図 2 は、第 1 の実施形態に係る広帯域変調 PLL の制御信号生成部を示す概略構成図である。

図 3 は、第 1 の実施形態に係る広帯域変調 PLL の VCO の原理図である。

図 4 は、VCO の PLL 用制御電圧端子と変調用制御電圧端子それぞれへの印加電圧対発振周波数特性示す図である。

図 5 は、変調度調整のタイミングチャートを示す図である。

- 20 図 6 は、本発明の第 2 の実施形態を説明するための広帯域変調 PLL を示す概略構成図である。

図 7 は、本発明の第 3 の実施形態を説明するための広帯域変調 PLL を示す概略構成図である。

- 25 図 8 は、第 3 の実施形態に係る広帯域変調 PLL に用いられる VCO の一例を示す原理図である。

図 9 は、本発明の第 4 の実施形態を説明するための広帯域変調 PLL である。

図 10 は、従来の広帯域変調 PLL を示す概略構成図である。

図 11 は、広帯域変調 PLL の動作説明のための周波数特性を示す図である。

図 12 は、広帯域変調 PLL の動作説明のための周波数特性を示す図である。

- 30 図 13 は、一般的な VCO の制御電圧に対する出力信号周波数の変化を表す特

性の一例を示す図である。

図 1 4 は、一般的な V C O の発振周波数に対する変調感度の特性を示した図である。

図 1 5 は、V C O の原理図の一例である。

5

なお、図中の符号 2 1、5 0 は電圧制御発振器、2 2 は分周器、2 3 は位相比較器、2 4 はチャージポンプ、2 5 はループフィルタ、2 6 は分周比生成部、2 7 は A / D 変換器、2 8 は制御信号生成部、2 9 は D / A 変換器、3 0 は測定結果記憶部、3 1 は演算部、3 2 は演算結果記憶部、3 3 は変調度調整手段、3 4 はキャリブレーションデータ生成部、3 5 は出力信号制御部、4 0 は D D S である。

10

< 発明を実施するための最良の形態 >

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態を説明するための広帯域変調 P L L を示す概略構成図である。図 1 において、第 1 の実施形態に係る広帯域変調 P L L は、P L L 用 (入力電圧 V_{t1}) と変調信号入力用 (入力電圧 V_{tm}) の 2 つの制御電圧端子を持った電圧制御発振器 (以下、V C O) 2 1 と、V C O 2 1 の出力信号を分周する分周器 2 2 と、基準信号の位相と分周器 2 2 の出力信号の位相とを比較して位相差に応じた信号を出力する位相比較器 2 3 と、位相比較器 2 3 の出力信号を V C O 2 1 の制御信号に変換するチャージポンプ 2 4 と、チャージポンプ 2 4 の出力信号を平滑化し、V C O 2 1 の P L L 用の制御電圧端子に制御電圧 V_{t1} を出力するループフィルタ 2 5 とを有する P L L を備える。

20

さらに、第 1 に係る広帯域変調 P L L は、外部入力されたキャリア周波数データと位相変調データから分周器 2 2 に設定する分周比を生成する分周比生成部 2 6 と、ループフィルタ 2 5 に接続された A / D 変換器 2 7 と、A / D 変換器 2 7 の出力信号と位相変調データとに基づいて V C O 2 1 への制御信号を生成するとともに変調データの変調度を調整する制御信号生成部 2 8 と、調整された変調データを D / A 変換し、アナログ信号として V C O 2 1 の変調信号用制御電圧端子に制御電圧 V_{tm} を出力する D / A 変換器 2 9 とを備える。

25

30

次に図 2 を用いて、制御信号生成部 28 について説明する。図 2 は第 1 の実施形態に係る広帯域変調 PLL の制御信号生成部を示す概略構成図である。制御信号生成部 28 は、A/D 変換器 27 の出力を記憶する測定結果記憶部 30 と、測定結果記憶部 30 に記憶されている値を演算処理する演算部 31 と、演算部 31 で演算処理された結果を記憶する演算結果記憶部 32 と、演算結果記憶部 32 で記憶された演算結果に基づいて位相変調データの変調度を調整する変調度調整手段 33 と、設定値制御信号に基づいて変調感度測定時の VCO 21 の変調信号用制御電圧端子に入力する制御電圧 V_{t_m} を設定するキャリブレーションデータ生成部 34 と、選択制御信号に基づいて変調度調整手段 33 が出力する変調データとキャリブレーションデータ生成部 34 が出力するキャリブレーションデータのいずれか一方を選択して D/A 変換器 29 に出力する出力信号制御部 35 とを備える。ここで、出力信号制御部 35 は、通常の変調動作時は変調度調整手段の出力を選択し、変調感度測定時にはキャリブレーションデータ生成部 34 の出力を選択する。

ここで、キャリア周波数データ、位相変調データ、設定値制御信号、選択制御信号は、図示しない制御部から出力される。なお、これらの制御信号およびデータは、個別の制御部により出力されてもよいし、広帯域変調 PLL を制御するための 1 つの制御部により出力されてもよい。さらに、このような広帯域変調 PLL を、移動端末装置や無線基地局等の無線通信装置等に適用された場合、このような無線通信装置等の動作を制御する制御部によって、これらの制御信号およびデータが出力されてもよい。

図 3 は第 1 の実施形態に係る広帯域変調 PLL の VCO の原理図である。インダクタ L と、コンデンサ C、可変容量ダイオード C_{v1} 、可変容量ダイオード C_{vm} 、能動素子 100 とを備え、発振周波数 f_{vco} は数 2 で決まる。

< 数 2 >

$$f_{vco} = \frac{1}{2\pi\sqrt{L(C + C_{v1} + C_{vm})}}$$

ここで、本実施形態では、VCO 21 の周波数は電圧 V_{t1} の制御により C_{v1}

の容量値を変えてコントロールする。これにより、VCO 21の周波数によらず V_{tm} のバイアス電位を固定にできるので、 V_{tm} の変化によるVCO 21の変調感度をほぼ一定にすることができる。

図4は、VCOのPLL用制御電圧端子と変調用制御電圧端子それぞれへの印加電圧対発振周波数特性示す図である。図4(a)はPLL用制御電圧端子への印加電圧 V_{t1} 対VCO 21の発振周波数 f_{vc} 特性であり、この時、変調用の制御電圧 V_{tm} は固定値 V_{tm0} としている。図4(b)は、変調用制御電圧端子への印加電圧 V_{tm} 対VCO 21の発振周波数 f_{vc} 特性であり、この時、PLL用の制御電圧 V_{t1} は固定値 V_{t10} としている。このように、制御電圧 V_{t1} および V_{tm} のいずれか一方を固定値にした場合、他方の制御電圧を変化させることによってVCO 21の発振周波数を変化させることができる。

次に、本実施形態に係る広帯域変調PLLにおける変調度の調整方法について説明する。本実施形態では、図2に示す制御信号生成部28において、VCO 21の変調用制御電圧端子における変調感度 K_m を算出し、この変調感度 K_m に基づいて、分周比による変調度との利得誤差を補償するように変調データの変調度を調整する。

ここで、VCO 21の変調用制御電圧端子における変調感度 K_m は、PLL用制御電圧端子における変調感度 K_1 に依存するものであるので、まず K_1 を求める必要がある。以下、PLL用制御電圧端子における変調感度 K_1 及び変調用制御電圧端子における変調感度 K_m の測定および算出方法について説明する。

まず、制御信号生成部28のキャリアプレシオンデータ生成部34により、制御電圧 V_{tm} を、固定値 V_{tm0} に設定する。出力信号制御部35は、変調感度を測定している状態であるので、キャリアプレシオンデータ生成部34の出力信号を、D/A変換器29を介してVCO 21へ制御電圧の固定値 V_{tm0} を入力する。

この状態において、分周比生成部26に対して、VCO 21の周波数が f_0 にロックするようなキャリア周波数データを入力する。ここで、周波数 f_0 は最終的に使用したいチャンネルの周波数である。基準周波数を f_{ref} 、分周器に設定される分周比を N_0 とすると、 N_0 は数3で表される。

$$N_0 = \frac{f_0}{f_{ref}}$$

数 3 を満たす N_0 が分周器 22 に入力されると、その結果 f_{vc0} は周波数 f_0 で
 5 ロックする（図 4（b）における点 α_m ）。この時、図 4（a）の点 α_t に示され
 るように、VCO 21 の PLL 用制御電圧端子に印加される電圧は、 $V_{t1} = V_{t10}$
 $_{10}$ となっており、A/D 変換器 27 を用いてこの値をデジタル値に変換し、制
 御信号生成部 28 の測定結果記憶部 30 で V_{t10} を記憶する。

次に、同様にして、分周比生成部 26 に VCO 21 の周波数を f_1 にロックす
 10 るようなキャリア周波数を入力する。この時、分周器に設定される分周比を N_1
 とすると、 N_1 は、数 4 に示される。

< 数 4 >

$$N_1 = \frac{f_1}{f_{ref}}$$

数 4 を満たす N_1 が分周器 26 に入力されると、その結果 f_{vc1} は周波数 f_1 で
 ロックする。この時、図 4（a）の点 β_t に示されるように、VCO 21 の PLL
 L 用制御電圧端子への印加電圧は、 $V_{t1} = V_{t11}$ となっており、同様に A/D 変
 20 換器 27 によりデジタル値に変換し、制御信号生成部 28 の測定結果記憶部 3
 0 で V_{t11} を記憶する。

制御信号生成部 28 の演算部 31 は、測定した結果に基づいて、PLL 用制御
 電圧端子における変調感度 K_1 を算出する。ここで、変調感度 K_1 は、数 5 であら
 わされる。

25

< 数 5 >

$$K_1 = \frac{f_1 - f_0}{V_{t11} - V_{t10}}$$

30 以上により、チャネル周波数 f_0 付近での PLL 用制御電圧端子の変調感度 K_1

を求めることができる。この結果を、制御信号生成部 28 の演算結果記憶部 32 に記憶する。

次に、VCO 21 の変調用制御電圧端子における変調感度 K_m の算出方法について説明する。まず、変調感度 K_1 を求める場合と同様に、変調用制御電圧端子
5 の入力制御電圧 V_{tm} の電圧値が $V_{tm} = V_{tm0}$ に設定されている場合において、VCO 21 の周波数が f_0 でロックしている状態を考える。この時の PLL 用電圧制御端子への入力制御電圧である V_{t10} の値は変調感度 K_1 の計算過程において求められており、測定結果記憶部 30 に既に記憶済みである。

次に、キャリブレーションデータ生成部 34 の設定値、すなわち、制御信号生成部 28 から出力される値を、 $V_{tm} = V_{tm1}$ に変化させる。すると、図 4 (b)
10 に示すように、 $V_t = V_{t10}$ において、 f_{vco} は周波数 f_2 に変化しようとする (図 4 (b) において点 α_m から δ_m へ移動しようとする)。しかしながら、PLL のループ特性により f_{vco} が周波数 f_0 になるように V_{t1} が変化して、矢印のように制御電圧 V_{tm} - 周波数 f_{vco} 特性が変化し、最終的には周波数 f_0 でロックする (図 4 (b) において点 δ_m から γ_m へ移動する)。
15

この時の PLL 用制御電圧端子への入力制御電圧を V_{t1} を V_{t12} とする (図 4 (b) における点 γ_t)。制御信号生成部 28 の測定結果記憶部 30 は、この V_{t12} を A/D 変換器 27 によってデジタル値に変換したものをに記憶する。この時、変調感度 K_m と変調感度 K_1 との間には数 6 で示される関係が成立する。

20

< 数 6 >

$$K_m = \frac{V_{m1} - V_{m0}}{V_{d0} - V_{d2}} \times K_1$$

25 ここで、 K_1 は既に求まっており、制御信号生成部 28 の演算結果記憶部 32 に記憶されており、また、 V_{t10} 、 V_{t12} 、 V_{tm0} 、 V_{tm1} は、測定結果記憶部 30 に記憶されているので、演算部 31 は、数 6 に基づいてキャリア周波数 f_0 付近での変調信号用制御電圧端子の変調感度 K_m を求め、演算結果記憶部 32 は求められた変調感度 K_m を記憶する。

30 ところで、数 6 は、変調感度 K_m と変調感度 K_1 の比を示す数式を変換したもの

であるので、測定した V_{t10} 、 V_{t12} 、 V_{tm0} 、 V_{tm1} は、変調感度 K_m と K_l の比を示す要素となる。したがって、変調感度 K_m を求める方法は、言い換えれば、変調感度 K_m と K_l との比を測定して算出するものであるといえる。

- このようにして求められた変調感度 K_m に基づいて、変調度調整手段 33 は、
- 5 位相変調データに対するゲインを決定する。変調度調整が終了すると、広帯域変調 PLL は通常の変調動作を開始し、制御信号生成部 28 の出力信号制御部 35 は、選択制御信号により、変調度調整手段 33 からの出力を D/A 変換器 29 へ出力するように切換えられる。変調度調整手段 33 でゲインを調整された位相変調データに基づいて VCO 21 の電圧を制御することで、分周器 22 の分周比変
- 10 調と電圧制御発振器 21 の制御電圧変調のゲイン誤差を補償することができる。

- このような変調度調整は、例えば、広帯域変調 PLL を起動する場合毎に、および、使用するキャリア周波数を変更する場合毎に行なわれる（以下、初期補正とする）。以下に、この初期補正時の手順について、図 5 を参照して説明する。図 5 は、変調度調整のタイミングチャートを示す図である。ここで、中心周波数
- 15 f_0 、 $V_{tm}=V_{tm0}$ において変調をかける場合を例にとって説明する。

まず、時刻 t_0 において、周波数 f_1 のキャリア周波数データを入力する。この時、キャリブレーションデータ生成部 34 は、 V_{tm} を V_{tm0} に設定する。PLL は時刻 t_1 までに周波数 f_1 に収束し、測定結果記憶部 30 は、 t_1 から t_2 の間で、 V_{t11} を測定・記憶する。

- 20 次に、時刻 t_2 でキャリア周波数データを周波数 f_0 に設定し、かつキャリブレーションデータ生成部 34 は、 V_{tm} を V_{tm1} に設定する。この状態で、測定結果記憶部 30 は、 V_{t12} を測定・記憶する。最後に、時刻 t_3 でキャリブレーションデータ生成部 34 は、 V_{tm} を V_{tm0} に設定することによって、PLL のループ特性によって周波数 f_0 は変動しないが、 V_{t1} が V_{t12} から V_{t10} に変動する。測定
- 25 結果記憶部 30 は、この状態で V_{t10} を測定・記憶し、演算部 31 は、数 5 および数 6 に基づいて変調感度 K_m を算出する。このようにして、変調度調整手段 33 により、ゲインが適切な値に設定され、時刻 t_4 から通常の変調動作を開始する。

- なお、上述のように、VCO 21 の PLL 用制御電圧端子への入力電圧 V_t を
- 30 測定する順番の具体例として、 V_{t11} 、 V_{t12} 、 V_{t10} としたことにより、通常変

調動作開始時には、すでにキャリア周波数 f_0 および制御電圧 $V_{t_{m0}}$ に設定されていることから、広帯域変調 PLL は、速やかに通常変調動作へ移行することができる。しかしながら、この V_t の測定はどのような順番でも実現可能である。

次に、初期補正後、すなわち通常変調動作の開始後の環境変動に対する補正方

- 5 法について説明する。初期補正の終了時または終了後に、測定結果記憶部 30 は、VCO 21 の PLL 用制御電圧端子における V_{t_1} の振動振幅のピーク値を A/D 変換器 27 をとおして記憶する。この時、 V_{t_m} の値（直流値）は $V_{t_{m0}}$ として対応付けておく。そして、その後も同様に、適当な時間間隔ごとに振動振幅をモニターする。ここで、適当な時間間隔とは、温度や電源電圧の変動をモニター
- 10 できる程度である。このピーク値が変動した場合、その割合だけ PLL 制御電圧端子における変調感度 K_1 が変化したことになり、初期補正で求めた変調感度 K_1 から変化した変調感度 K_1 の絶対値が求まる。

- 一方で、やはり適当な時間間隔ごとに、 V_{t_m} を $V_{t_{m0}}$ から $V_{t_{m0}}'$ へと微小変化させる。この時、初期補正と同様に V_{t_1} が微小変化する。この変化分を記憶し、
- 15 V_{t_m} の値を $V_{t_{m0}}$ へと再び変化させる。この V_{t_1} の変化分の割合と変調感度 K_1 とから、初期補正と同様に変調用制御電圧端子側の変調感度 K_m が求まる。この変調感度 K_m に基づいて変調度を調整することにより、温度変動や電源電圧変動などによる環境変動に対しても常に良好かつ安定な変調精度を提供することができる。

- 20 このような第 1 の実施形態の広帯域変調 PLL によれば、各チャネル毎のルックアップテーブルが不要なため、小型かつ安価で、消費電力の小さい広帯域変調 PLL を提供することができる。さらに、初期動作毎や通常変調動作等、実使用時の環境変動に追従することが可能なため、常に良好かつ安定な変調精度を実現する広帯域変調 PLL を提供することができる。

25

（第 2 の実施形態）

図 6 は、本発明の第 2 の実施形態を説明するための広帯域変調 PLL を示す概略構成図である。第 1 の実施形態で説明した図 1 と重複する部分には同一の符号を付す。

- 30 図 6 において、第 2 の実施形態に係る広帯域変調 PLL は、ダイレクトディジ

タルシンセサイザ（Direct Digital Synthesizer、以下DDS）40を備え、位相変調を行う箇所が、DDS40とVCO21の2ヶ所であることが第1の実施の形態とは異なる。

DDS40は数値演算の結果を、内蔵するD/A変換回路等を通して直接出力するものであり、図6に示すように、キャリア周波数データと位相変調データに基づいて数値計算を行い、キャリア信号および変調信号を出力することができる。DDS40での変調は第1の実施形態の分周比変調と同等であるため、変調信号用電圧制御端子の変調感度の算出および変調度の調整は同様の方法で求めることができる。

10 ただし、DDS40の出力は数値演算で直接波形を生成するため、広帯域変調PLLに設けられる分周器2として、分周比固定の固定分周器を適用することができる。固定分周器は、複数の分周器を縦続接続して構成することができ、さらに後段にいくほど動作周波数が下がるので、消費電力を少なくすることができる。

15 このような本発明の第2の実施形態によれば、温度変動や電源電圧変動などによる環境変動に対しても常に良好かつ安定な変調制度を提供することができる。また、各チャネル毎のルックアップテーブルが不要なため、小型かつ安価で、消費電力の小さい広帯域変調PLLシステムを提供することができる。さらに、分周器として固定分周器を適用できるので、消費電力を減少させることができる。

20 （第3の実施形態）

図7は、本発明の第3の実施形態を説明するための広帯域変調PLLを示す概略構成図である。第1の実施形態で説明した図1と重複する部分には同一の符号を付す。

25 本実施形態では、制御信号生成部28から出力された信号をD/A変換せず、デジタル信号のままVCO50に入力している。VCO50は、LC共振器に並列に微小な容量とスイッチを持ち、このスイッチをデジタル信号で制御することによって総容量値を変化させることによって図3に示したVCO21と同等の動作を行うものである。変調感度の測定および調整方法は第1の実施形態と同様である。

30 図8は、第3の実施形態に係る広帯域変調PLLに用いられるVCOの一例を

示す原理図である。図 8 に示すように、VCO50 は、 n 個の、入力デジタル信号によって容量が 2 値に可変な $C_{vm(1)}$ ないし $C_{vm(n)}$ が並列に接続されており、各々の容量を切換えることにより、これらの容量の合計によって変調をかけることが可能となるものである。この構成により、制御信号生成部 28 のデジタル出力 V_{im} を用いて、VCO50 を制御して変調をかけることが可能となる。

このような本発明の第 3 の実施形態によれば、温度変動や電源電圧変動などによる環境変動に対しても常に良好かつ安定な変調制度を提供することができる。また、D/A 変換器や各チャネル毎のルックアップテーブルが不要なため、小型かつ安価で、消費電力の小さい広帯域変調 PLL システムを提供することができる。

(第 4 の実施形態)

図 9 は、本発明の第 4 の実施形態を説明するための広帯域変調 PLL を示す概略構成図である。第 1、第 2、第 3 の実施形態で説明した図 1、図 6、図 7 と重複する部分には同一の符号を付す。

図 9 に示すように、本実施の形態の広帯域変調 PLL は、変調をかける箇所が DDS40 と VCO50 であり、制御信号生成部 28 から VCO50 の変調側制御端子に入力される変調信号は、デジタル信号が印加される。変調感度の測定・補正方法は第 1 の実施形態と同様であり、DDS40 の動作については第 2 の実施形態と同様であり、VCO50 の動作については、第 3 の実施形態と同様である。

このような本発明の第 4 の実施形態によれば、温度変動や電源電圧変動などによる環境変動に対しても常に良好かつ安定な変調制度を提供することができる。また、D/A 変換器や各チャネル毎のルックアップテーブルが不要なため、小型かつ安価で、消費電力の小さい広帯域変調 PLL システムを提供することができる。さらに、分周器として固定分周器を適用できるので、消費電力を減少させることができる。

以上、第 1 ないし第 4 の実施形態を参照して説明したが、本発明はこれらの構成に限られない。例えば、分周比の設定をループ内の可変分周器に対して行ったが、基準信号を分周して位相比較器に出力する可変分周器を設け、その可変分周

器により分周比の設定を行う構成でも同様に実現可能である。また、A/D変換器やD/A変換器は説明で用いた場所でなくても同様に実現可能であり、アナログとデジタルの境界はどこであってもよい。また、D/A変換器は出力側に低域通過フィルタを含んでも同様に実現可能である。

5

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2003年8月22日出願の日本特許出願No. 2003-298858に基づくものであり、その内容はここに参照として取り込まれる。

10

<産業上の利用可能性>

本発明の広帯域変調PLLは、良好な変調精度を低コストで実現することができる効果を有し、移動無線機や無線基地局装置等の無線通信装置等に有用である。

15

請 求 の 範 囲

1. 電圧制御発振器と、前記電圧制御発振器の出力信号を分周する分周器と、
前記分周器の出力信号と基準信号との位相差に応じた信号を出力する位相比較器
5 と、前記位相比較器の出力を平均化して前記電圧制御発振器に出力するループフ
ィルタとを含むPLL部と、

入力された変調データに基づき、前記電圧制御発振器に第1の変調信号を入力
して変調をかける第1の変調入力部と、

前記変調データに基づき、前記PLL部の前記電圧制御発振器とは異なる位置
10 に第2の変調信号を入力する第2の変調入力部と、
を備え、

前記電圧制御発振器は、前記第1の変調信号が入力される第1の制御端子と、
前記第2の変調信号に基づいた信号が入力される第2の制御端子を有し、

前記第1の変調入力部は、前記第1の制御端子における第1の変調感度を算出
15 する変調感度算出手段と、前記算出された第1の変調感度に基づいて前記変調デ
ータの変調度を調整して前記第1の変調信号を出力する変調度調整手段とを有す
る広帯域変調PLL。

2. 請求の範囲第1項記載の広帯域変調PLLであって、

20 前記変調感度算出手段は、前記第2の制御端子に入力される信号を測定して、
前記第2の制御端子における第2の変調感度を算出するとともに、前記第2の変
調感度と前記第1の変調感度との比を示す値を測定して、算出された前記第2の
変調感度に基づいて前記第1の変調感度を算出する変調感度算出部を有する広帯
域変調PLL。

25

3. 請求の範囲第1項または第2項記載の広帯域変調PLLであって、

前記第1の変調入力部は、前記電圧制御発振器の前記第2の制御端子に入力さ
れる信号をディジタル変換するA/D変換器と、前記変調感度算出手段と、前記
変調度調整手段と、前記変調度調整手段の出力をアナログ変換して前記第1の制
30 御端子へ出力するD/A変換器とを有する広帯域変調PLL。

4. 請求の範囲第1項または第2項のいずれか一項記載の広帯域変調PLLであって、

5 前記第1の変調入力部は、前記電圧制御発振器の前記第2の制御端子に入力される信号をデジタル変換するA/D変換器と、前記変調感度算出手段と、前記変調度調整手段とを備え、前記変調度調整手段は前記第1の制御端子へデジタル信号を出力し、

前記電圧制御発振器は、前記第1の制御端子へ入力されるデジタル信号によって周波数に変化するものである広帯域変調PLL。

10

5. 請求の範囲第1項ないし第4項のいずれか一項記載の広帯域変調PLLであって、

前記第2の変調入力部は、キャリア周波数データと前記変調データに基づいて前記分周器の分周比を制御する分周比生成手段を有する広帯域変調PLL。

15

6. 請求の範囲第1項ないし第4項のいずれか一項記載の広帯域変調PLLであって、

15 前記第2の変調入力部は、キャリア周波数データと前記変調データに基づいて変調信号を生成して、前記位相比較器へ出力するダイレクトデジタルシンセサイザを有する広帯域変調PLL。

20

7. 請求の範囲第1項ないし第6項のいずれか一項記載の広帯域変調PLLであって、

25 前記第1の変調入力部は、前記広帯域変調PLLの起動時および起動後の一定期間毎に前記第1の変調感度を算出し、変調度を調整して前記第1の変調信号を出力するものである広帯域変調PLL。

8. 請求の範囲第1項ないし第7項のいずれか一項記載の広帯域変調PLLを備えた無線端末装置。

30

9. 電圧制御発振器と、前記電圧制御発振器の出力信号を分周する分周器と、前記分周器の出力信号と基準信号との位相差に応じた信号を出力する位相比較器と、前記位相比較器の出力を平均化して前記電圧制御発振器に出力するループフィルタとを含むPLL部を備えた広帯域変調PLLの変調度調整方法であって、

5 前記電圧制御発振器の第1の制御端子に第1の変調信号を入力して変調をかけるステップと、

キャリア周波数データを入力して、前記PLLに基づき、前記PLL部の前記電圧制御発振器とは異なる位置に第2の変調信号を入力するステップと、

10 前記電圧制御発振器の第1の制御端子における第1の変調感度を算出するステップと、

前記算出された第1の変調感度に基づいて前記第1の変調信号の変調度を調整するステップと、

を備えた広帯域変調PLLの変調度調整方法。

15 10. 請求の範囲第9項記載の広帯域変調PLLの変調度調整方法であって、前記第1の変調感度を算出するステップは、

前記第2の変調信号に基づいて前記電圧制御発振器の第1の制御端子とはことなる第2の制御端子に入力される入力電圧を測定するステップと、

前記第2の制御端子における第2の変調感度を算出するステップと、

20 前記第2の変調感度と前記第1の変調感度との比を示す値を測定し、算出された前記第2の変調感度に基づいて前記第1の変調感度を算出するステップと、
を備えた広帯域変調PLLの変調度調整方法。

図 1

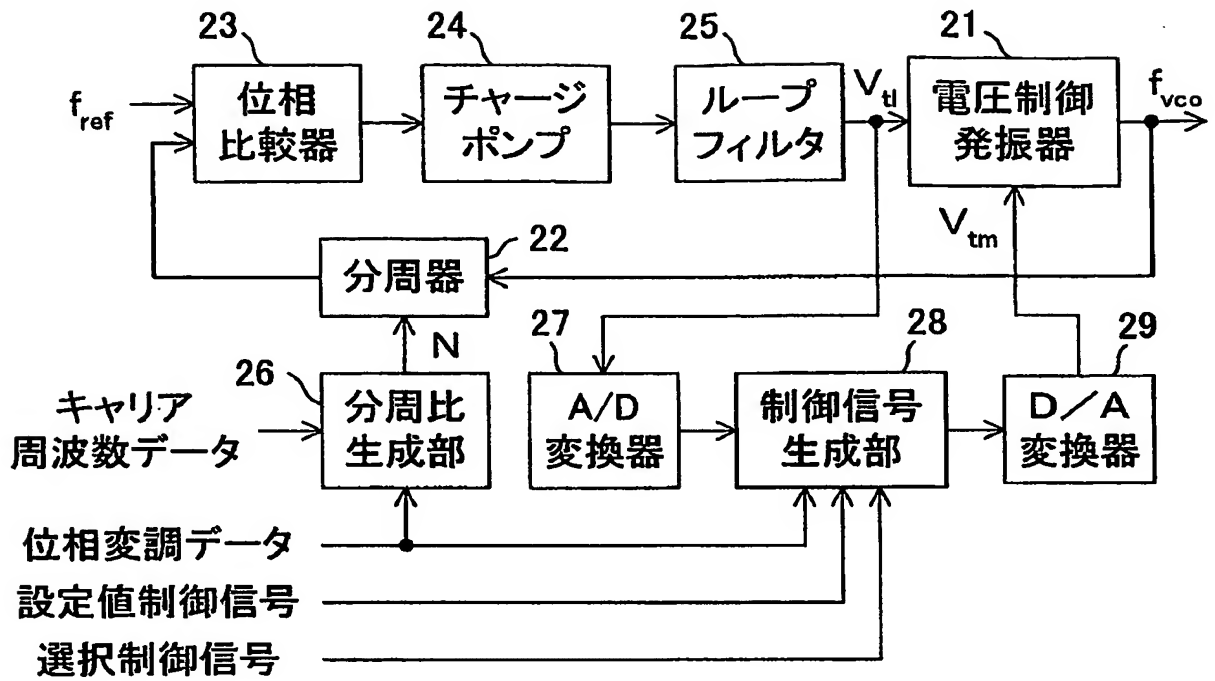


図 2

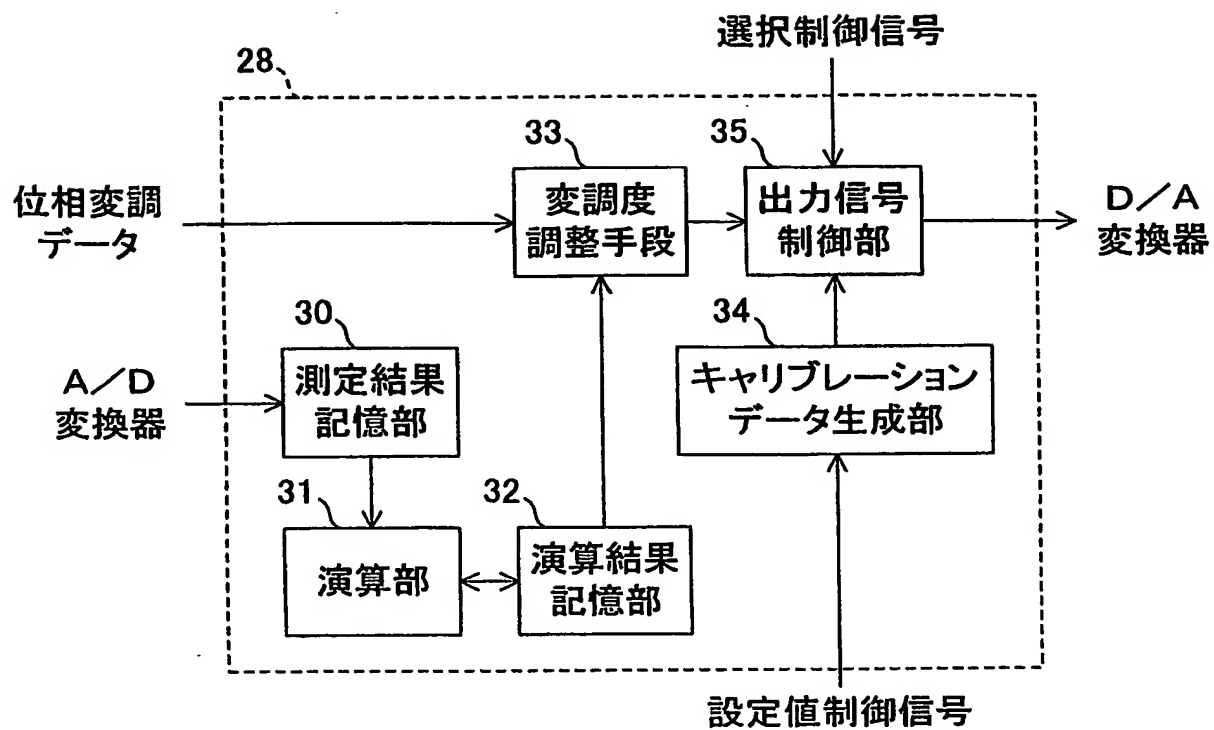


図 3

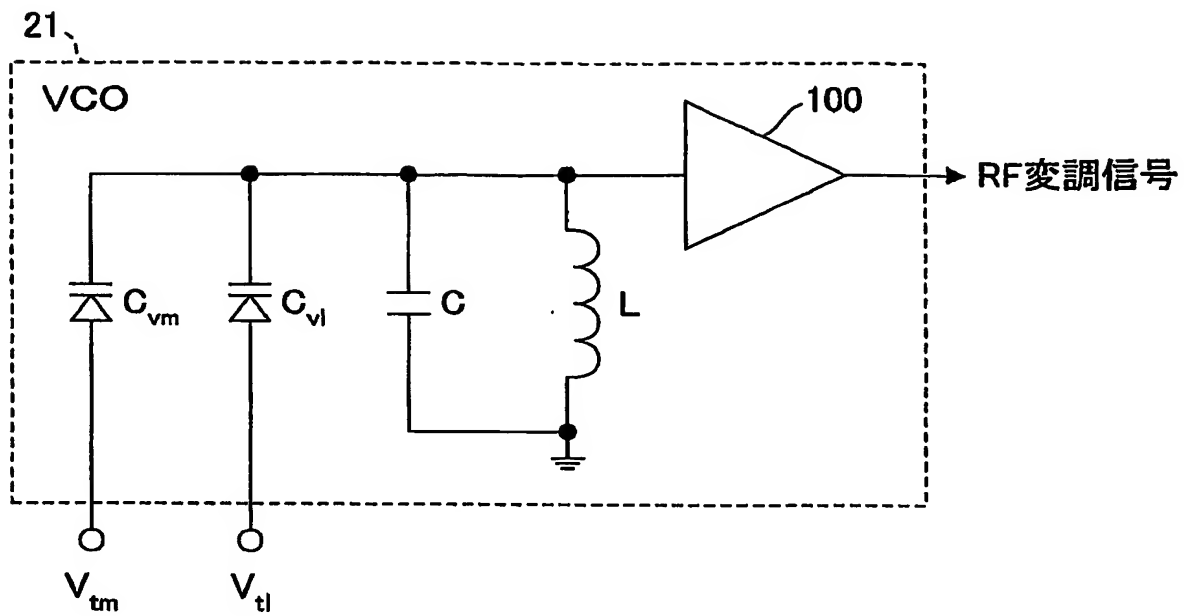


図 4

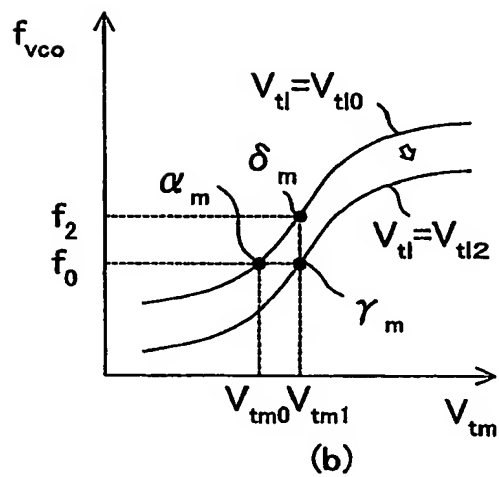
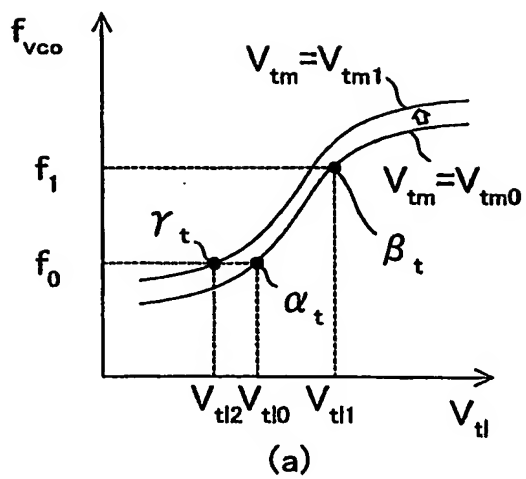


図 5

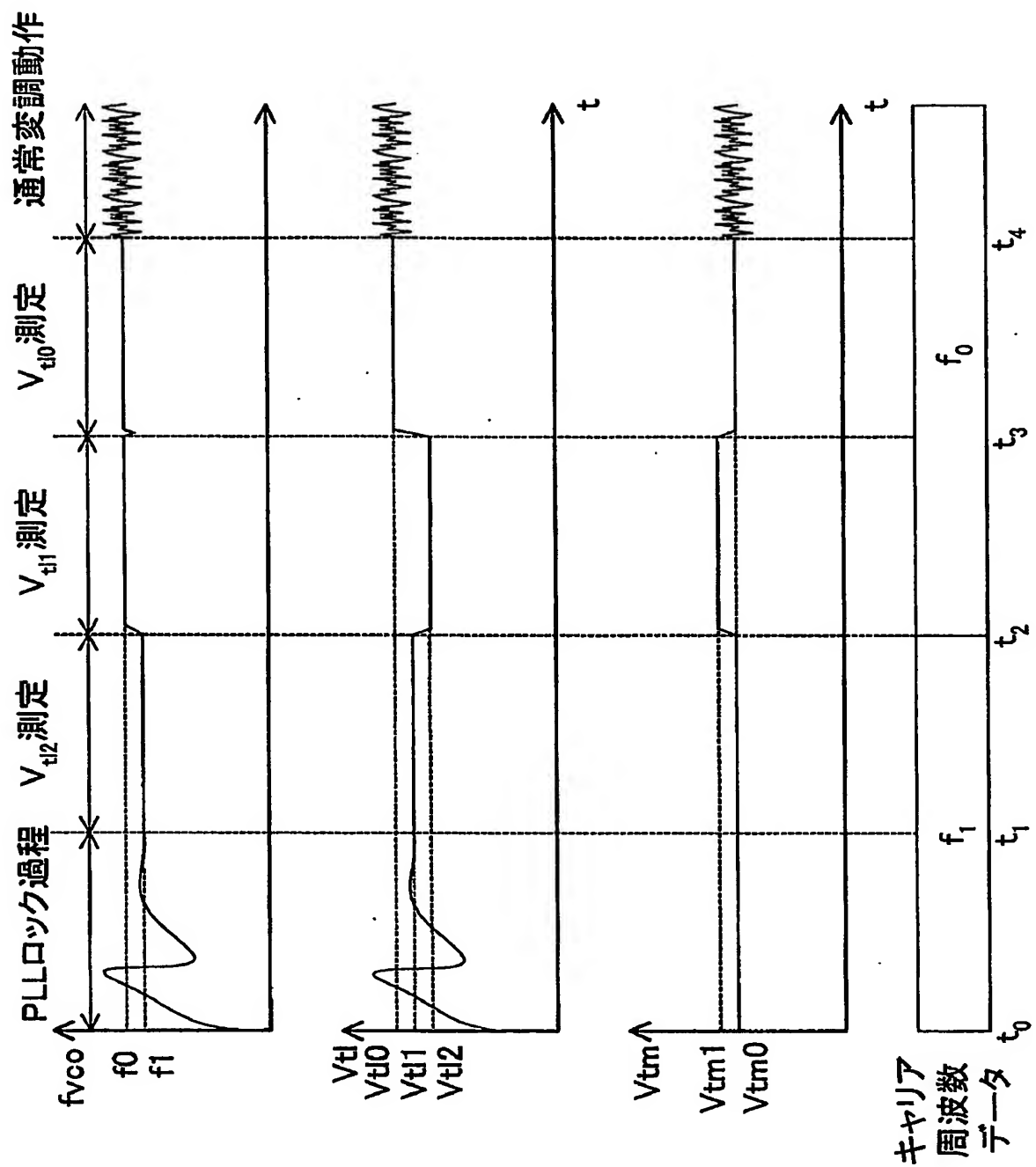


図 6

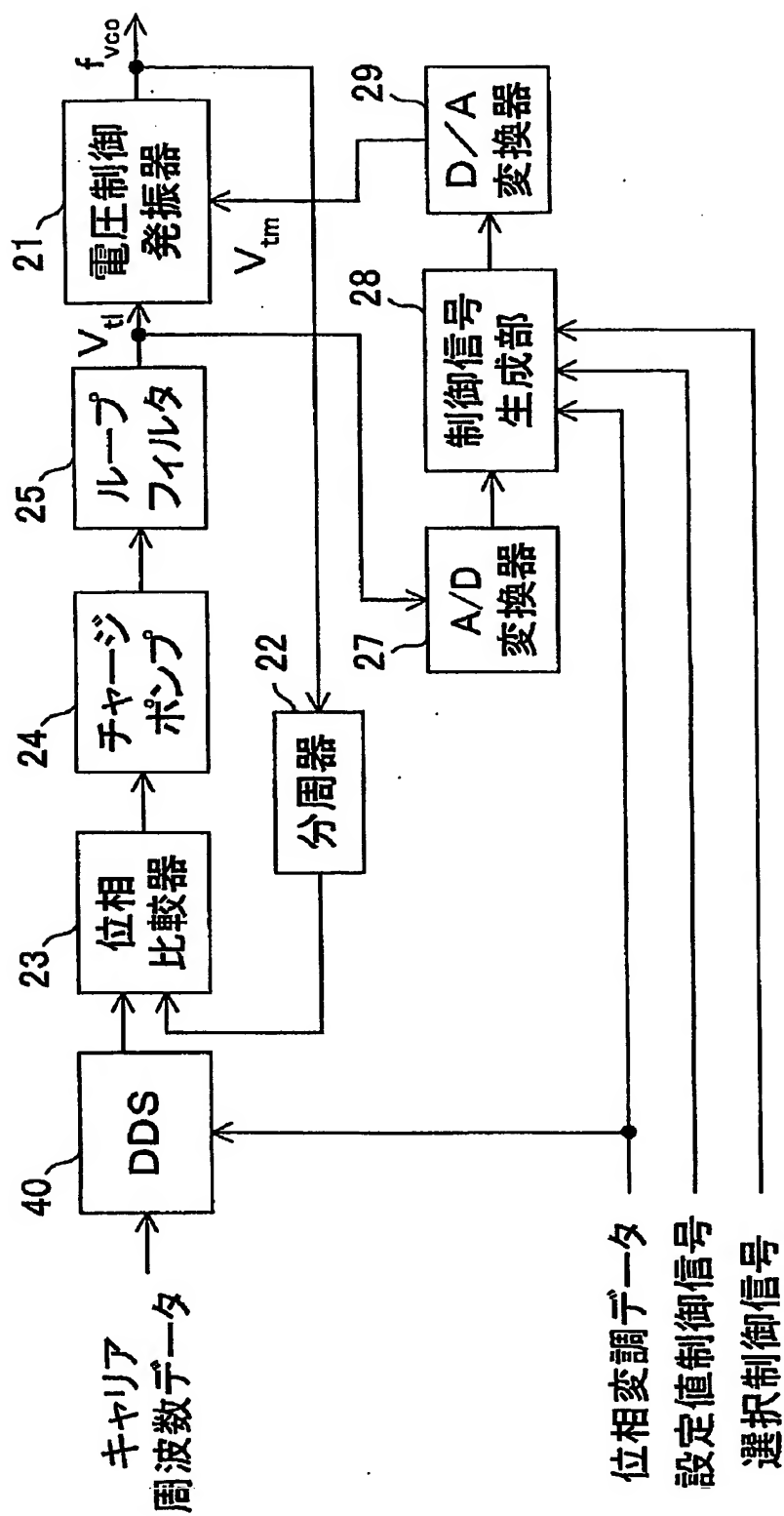


図 7

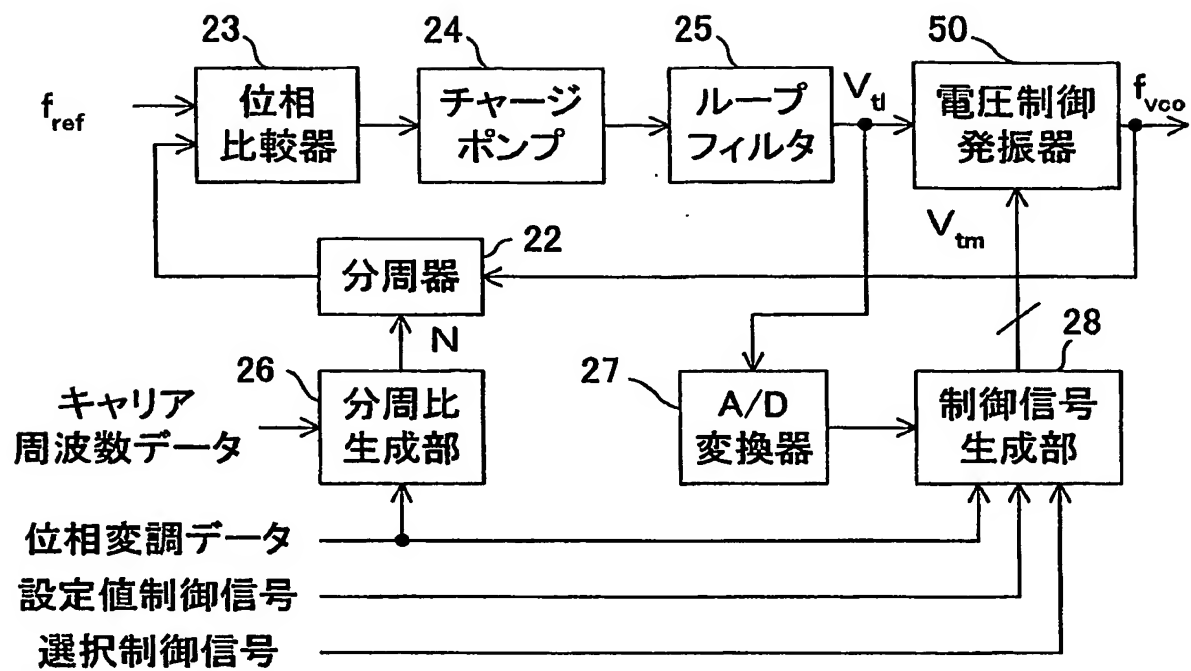


図 8

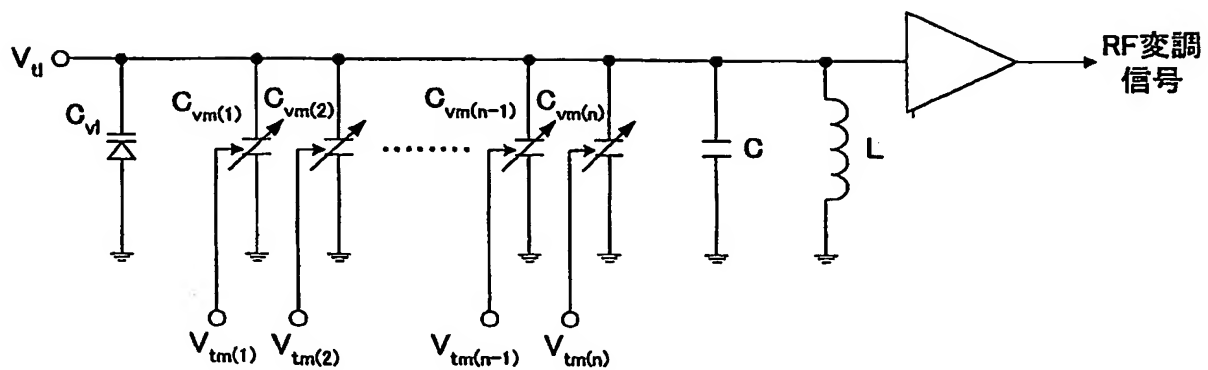


図 9

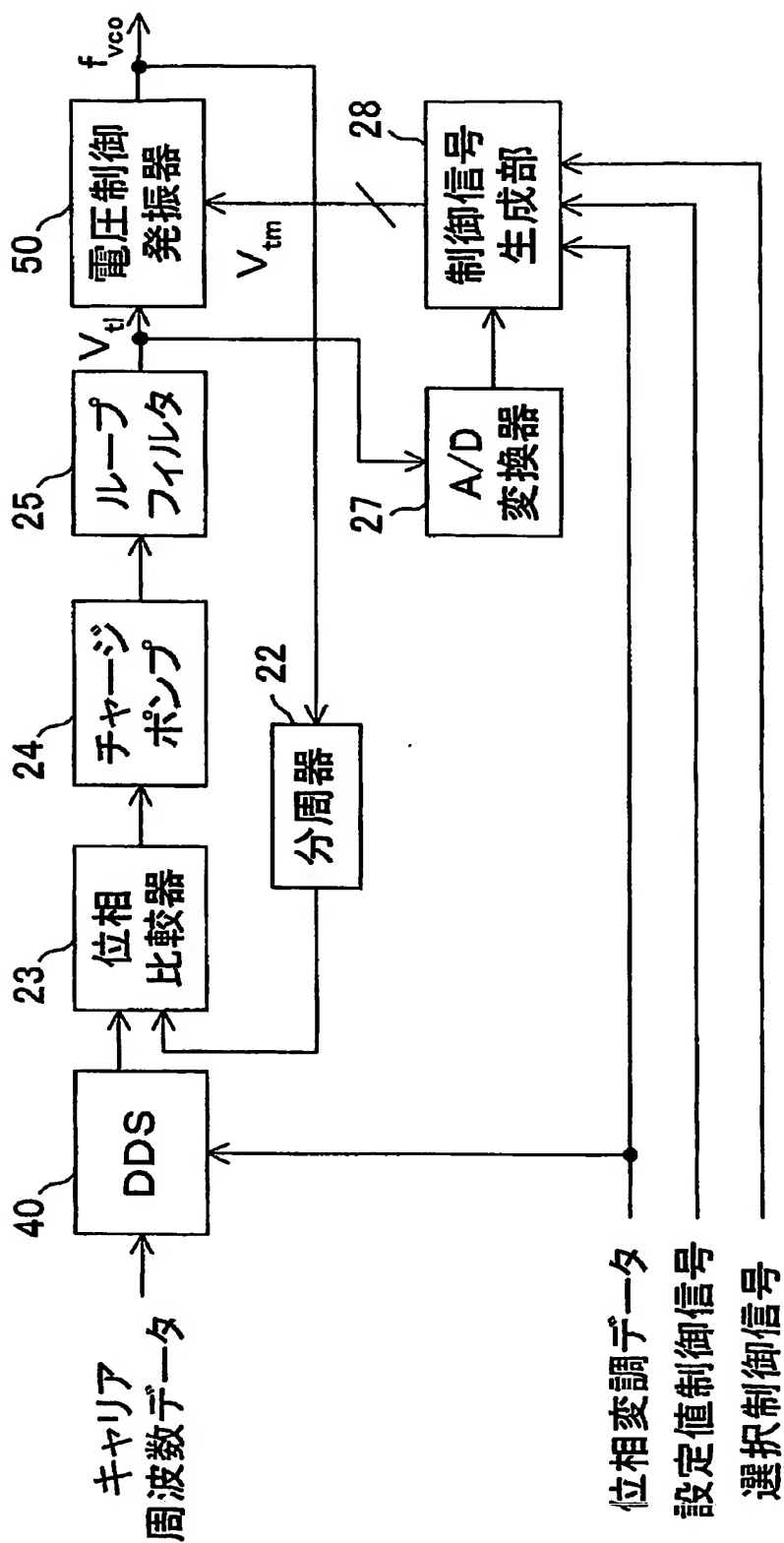


図 10

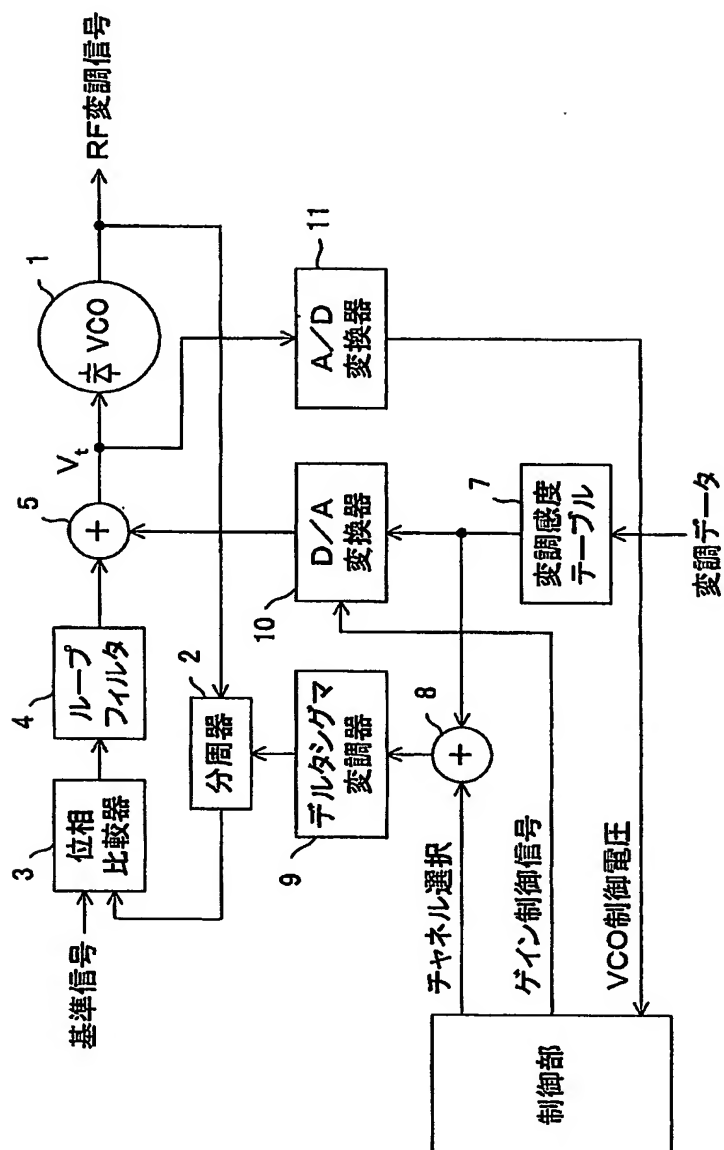


図 1 1

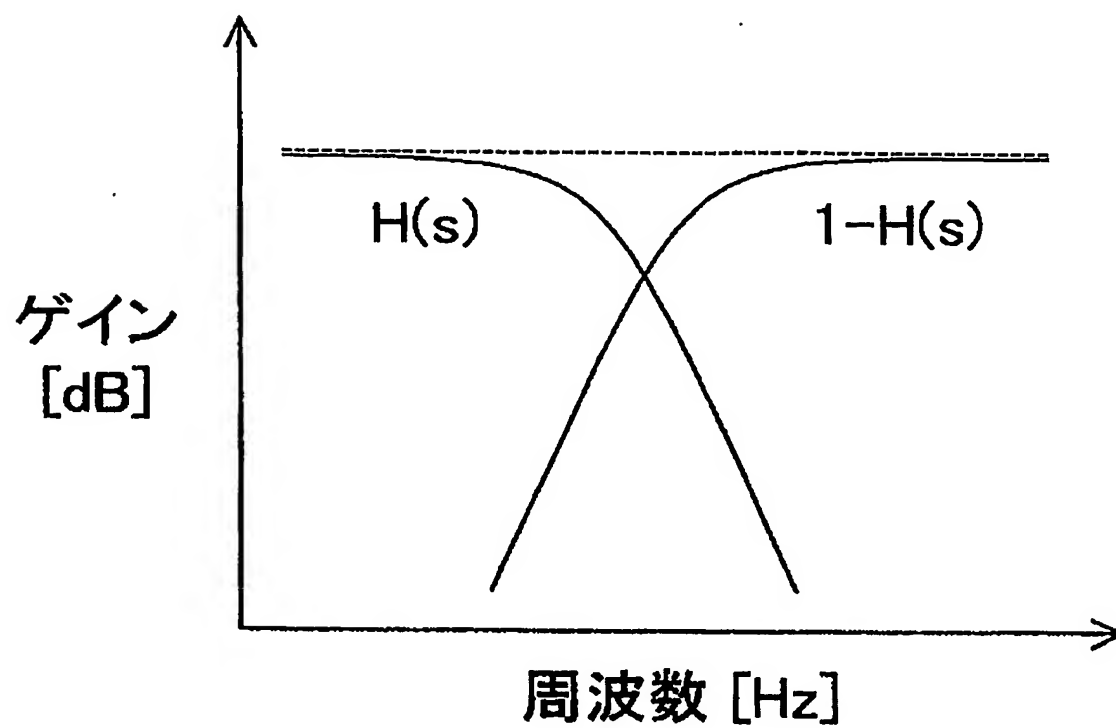


図 12

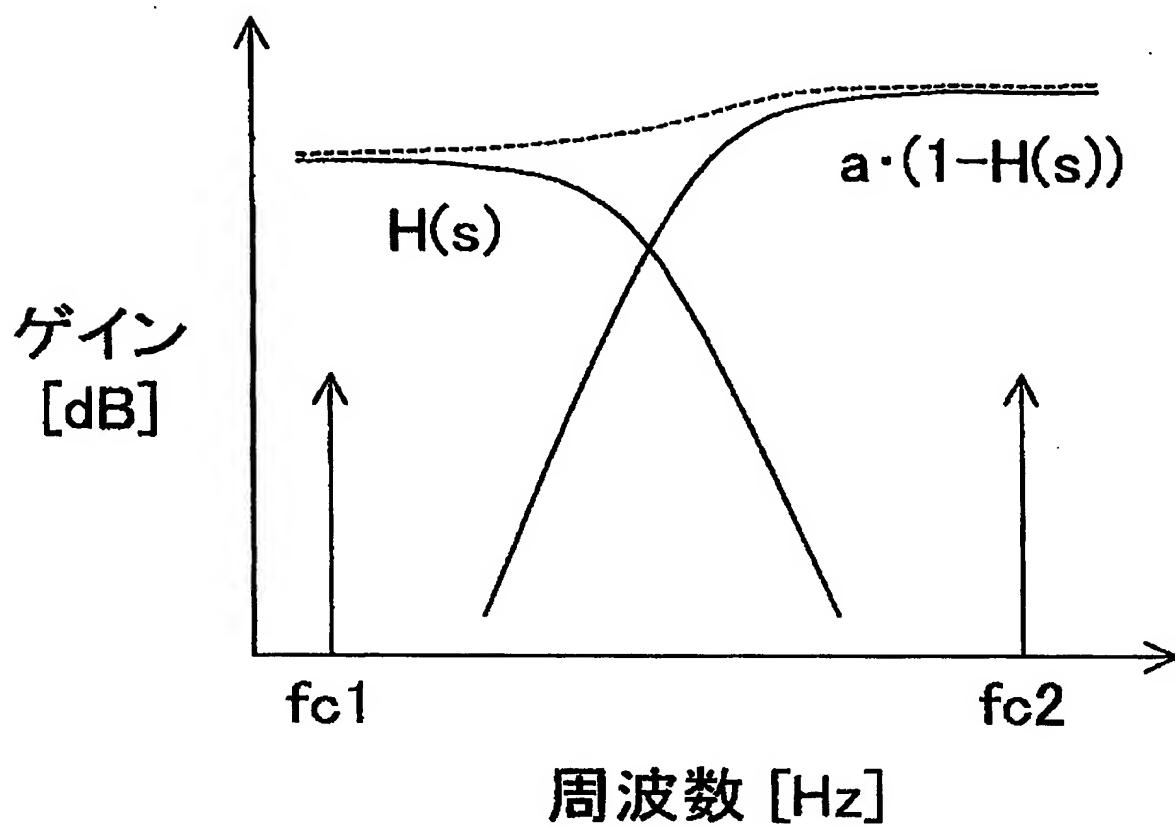


图 1 3

周波数

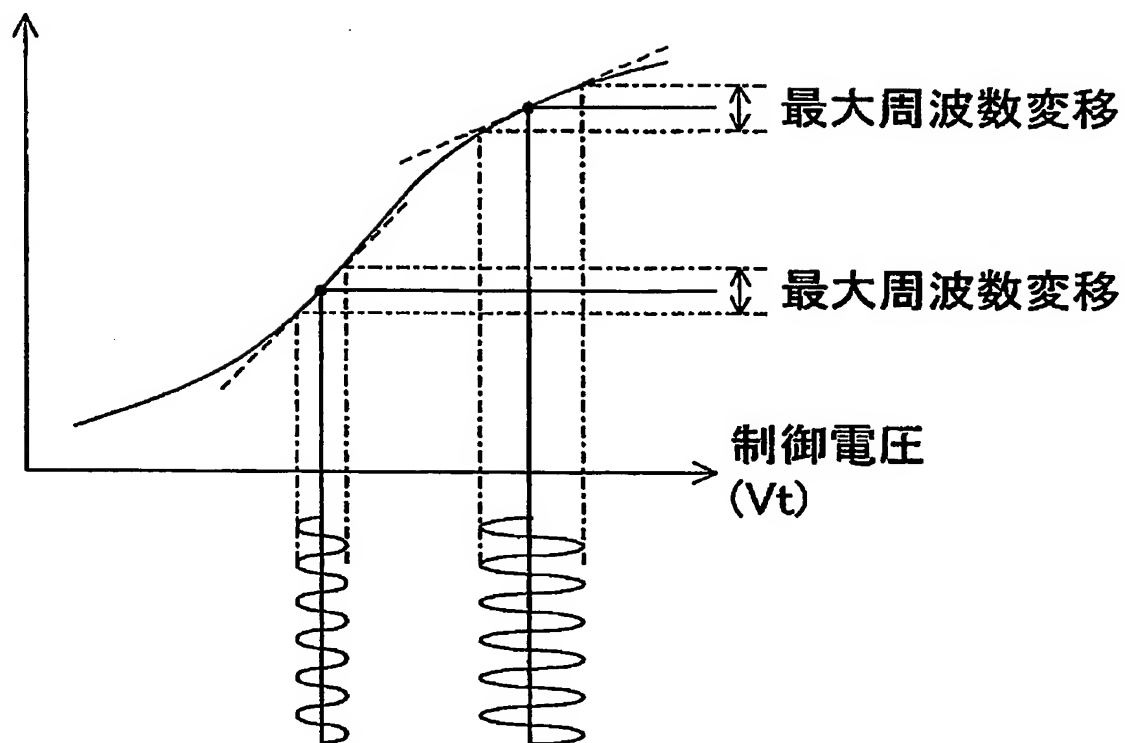


図 1 4

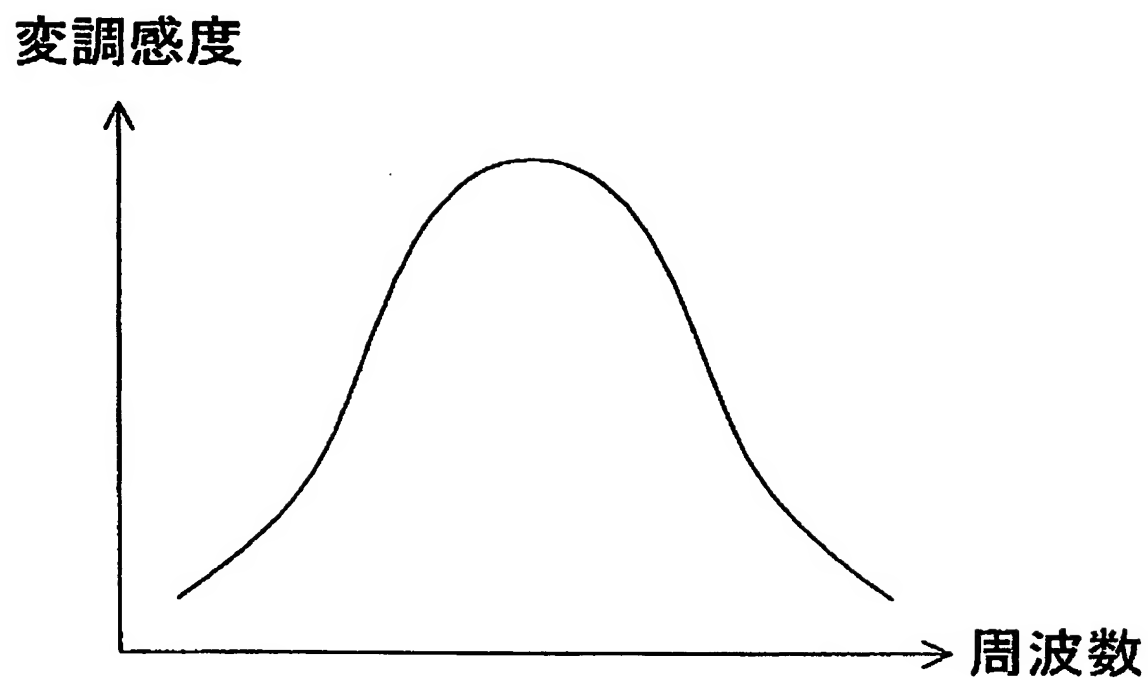
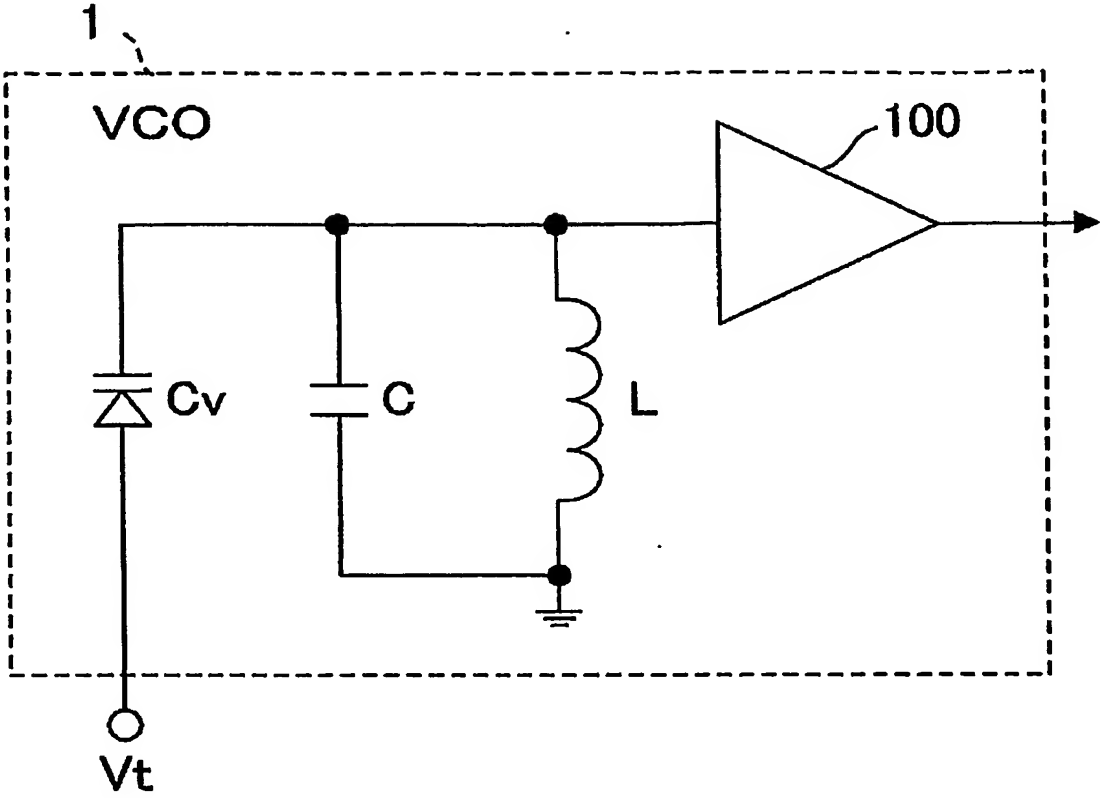


図 1 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010776

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03C3/00, H03L7/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03C3/00, H03L7/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-92513 A (Oki Electric Industry Co., Ltd.), 28 March, 2003 (28.03.03), & US 2003/0052744 A1	1-10
A	JP 11-68719 A (Kenwood Corp.), 09 March, 1999 (09.03.99), (Family: none)	1-10
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 63043/1988 (Laid-open No. 171114/1989) (Toshiba Corp.), 04 December, 1989 (04.12.89), (Family: none)	7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 October, 2004 (29.10.04)

Date of mailing of the international search report
22 November, 2004 (22.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03C3/00 H03L7/18

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03C3/00 H03L7/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-92513 A (沖電気工業株式会社) 2003.03.28 & US 2003/0052744 A1	1-10
A	JP 11-68719 A (株式会社ケンウッド) 1999.03.09 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 29.10.2004

国際調査報告の発送日 22.11.2004

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3575

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	日本国実用新案登録出願63-63043号（日本国実用新案登録 出願公開1-171114号）の願書に添付した明細書及び図面の 内容を撮影したマイクロフィルム（株式会社東芝） 1989. 12. 04 （ファミリーなし）	7